

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年12月 3日
Date of Application:

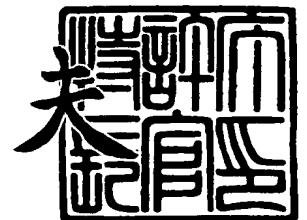
出願番号 特願2002-351687
Application Number:
[ST. 10/C]: [JP 2002-351687]

出願人 松下電器産業株式会社
Applicant(s):

2003年 9月 8日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



出証番号 出証特2003-3073389

【書類名】 特許願

【整理番号】 5037640108

【提出日】 平成14年12月 3日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 11/407

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社
社内

【氏名】 黒田 直喜

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 110000040

【氏名又は名称】 特許業務法人池内・佐藤アンドパートナーズ

【代表者】 池内 寛幸

【電話番号】 06-6135-6051

【手数料の表示】

【予納台帳番号】 139757

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0108331

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置

【特許請求の範囲】

【請求項 1】 同一チップ上に複数の内部電源発生回路が配置された半導体集積回路装置であって、

前記各内部電源発生回路は、それぞれスイッチを介して、少なくとも一部が共通のモニター用パッドに接続されていて、

前記スイッチにより、前記各内部電源発生回路と前記モニター用パッドとを選択的に接続することが可能であることを特徴とする半導体集積回路装置。

【請求項 2】 前記内部電源発生回路のうち、同一の内部電源電圧を発生させる前記内部電源発生回路は、共通の前記モニター用パッドに接続されている請求項 1 に記載の半導体集積回路装置。

【請求項 3】 前記内部電源発生回路は、外部電源をもとに内部電源を生成する請求項 1 または請求項 2 に記載の半導体集積回路装置。

【請求項 4】 全ての前記スイッチは同時にオフにすることが可能で、かつ、前記各スイッチを選択的にオンまたはオフにすることが可能である請求項 1 ないし請求項 3 のいずれかに記載の半導体集積回路装置。

【請求項 5】 前記スイッチは、N チャンネルトランジスタまたは P チャンネルトランジスタである請求項 1 に記載の半導体集積回路装置。

【請求項 6】 前記内部電源発生回路は、すべてまたは選択的に非活性状態とすることが可能である請求項 1 に記載の半導体集積回路装置。

【請求項 7】 さらに、前記内部電源発生回路に強制印加手段が接続され、前記強制印加用手段は、外部パッドを介して入力される電圧の前記内部電源発生回路への供給を制御する請求項 6 に記載の半導体集積回路装置。

【請求項 8】 前記強制印加手段は、前記内部電源発生回路ごとに備えられ、かつ、前記スイッチと共通の制御信号によって制御される請求項 7 に記載の半導体集積回路装置。

【請求項 9】 前記内部電源発生回路と前記スイッチとの間に、電圧レベルシフト回路を備え、

前記電圧レベルシフト回路は、前記内部電源発生回路で発生された内部電源の電圧レベルを変化させる請求項6ないし請求項8のいずれかに記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ダイナミックランダムアクセスメモリ等の半導体集積回路装置に関するものである。

【0002】

【従来の技術】

半導体集積回路装置の動作テストにおいて、全パッドと同数のテスト用ピンが必要であるが、ピン数が増大するほど、コストが高くなり、精度も落ちる可能性がある。そこで、従来の半導体集積回路装置は、テスト時にはパッドの一部を共有化する共通化回路を備える構成であった（例えば、特許文献1参照）。

【0003】

また、外部から供給される外部電源とは別に、外部電源をもとにして生成した内部電源を用いる構成の半導体集積回路装置において、メモリ等の検査時に内部電源をモニターするため、あるいは外部から内部電源として電圧を強制的に印加するために、外部パッドが必要である。従来の半導体集積回路装置の構成図である図9に示されているように、半導体集積回路装置101の外部パッド領域102に、前述の内部電源用の外部パッド108が割り当てられている。

【0004】

しかし、外部電源入力用またはメモリ検査時の内部電源のモニター用の外部パッド108が、少なくとも混載されているメモリ103の内部電源発生回路105の数だけ必要である。したがって、メモリ103の数が多い場合には、それに応じてモニターパッド108の数が増えてしまう。

【0005】

近年よく見られる、複数のメモリが1チップに混載されている、システムLSIと呼ばれる半導体集積回路装置101は、ロジック回路の規模が大きくなり、

多ピン構成になる。それにより、小面積化を図るため、メモリ検査に用いる外部パッド数を減らすことが必須になってきている。

【0006】

また、メモリテスターでモニターできるピン数は限られているため、外部パッド108の数が、限られたピン数以上になる場合には、メモリ検査時に複雑な調整をする必要があるため、検査時間を短縮することができないといった問題もある。一方、I/O数の縮退機能を持つ半導体集積回路装置（例えば、特許文献1参照）では、通常動作時とメモリ検査時の内部電源電圧の特性が変化するため、内部電源電圧を正しく評価することができない。

【0007】

【特許文献1】

特開平9-92787号公報

【0008】

【発明が解決しようとする課題】

本発明は、上記問題点に鑑みなされたものであり、内部電源発生回路の数が増えても、パッド数が増大することなく、低コスト、小面積を実現できる半導体集積回路装置を提供することを目的とする。

【0009】

【課題を解決するための手段】

前記目的を達成するため、本発明の半導体集積回路装置は、同一チップ上に複数の内部電源発生回路が配置された半導体集積回路装置であって、前記各内部電源発生回路は、それぞれスイッチを介して、少なくとも一部が共通のモニター用パッドに接続されていて、前記スイッチにより、前記各内部電源発生回路と前記モニター用パッドとを選択的に接続することが可能である。

【0010】

【発明の実施の形態】

本発明は、上述の構成とすることで、内部電源をモニターするためや外部からの電源強制印加を行なうための外部パッドを、複数の内部電源発生回路で共有することができる。それにより、外部パッドを減少させ、半導体集積回路装置の小

面積化、コストダウンが可能となる。

【0011】

また、好ましくは、内部電源発生回路のうち、同一の内部電源電圧を発生させる前記内部電源発生回路は、共通の前記モニター用パッドに接続されるようにする。それにより、外部パッドに接続されているトランジスタや配線等の負荷を小さくすることができる。

【0012】

また、前記内部電源発生回路は、外部電源をもとに内部電源を生成するようにしてもよい。

【0013】

また、好ましくは、全ての前記スイッチは同時にオフにすることが可能で、かつ、前記各スイッチを選択してオンまたはオフにすることが可能である構成とする。それにより、メモリ検査において、それぞれ内部電源発生回路で発生される内部電源をモニターすることができる。

【0014】

また、好ましくは、前記スイッチは、NチャンネルトランジスタまたはPチャンネルトランジスタを備えている。それにより、これらNチャンネルトランジスタまたはPチャンネルトランジスタのゲート電圧を制御することで、内部電源がマイナス電源電圧から昇圧電源電圧まで伝達することができる。

【0015】

また、好ましくは、前記各内部電源発生回路は、すべてまたは選択的に非活性状態とすることが可能である。それにより、外部から電源を強制印加する際に、強制印加される内部電源発生回路を非活性状態にすることで、内部電源発生回路の出力と外部印加電圧が衝突し、異常電流や貫通電流が発生することや、所望の電圧を印加できないといった不具合を防ぐことができる。

【0016】

また、好ましくは、前記内部電源発生回路に強制印加手段がさらに接続され、前記強制印加用手段は、外部パッドを介して入力される電圧の前記内部電源発生回路への供給を制御する構造とする。それにより、外部から強制印加する電源を

、省電力化することができる。また、供給電流量を少なくすることができる。

【0017】

また、前記強制印加手段は、前記内部電源発生回路ごとに備えられ、かつ、前記スイッチのオンとオフに同期して動作するように制御されるとしてもよい。

【0018】

また、好ましくは、前記内部電源発生回路と前記スイッチとの間に、電圧レベルシフト回路を備え、前記電圧レベルシフト回路は、前記内部電源発生回路で発生された内部電源の電圧レベルを変化させる。それにより、マイナス電源電圧をプラス電圧値に昇圧したり、昇圧電源電圧を降圧したりすることができるので、スイッチを統一回路にできたり、基板がツインウエル構造である場合等によるマイナス電源を容易に伝達することができる。

【0019】

以下、本発明のさらに具体的な実施形態について説明する。

【0020】

(実施の形態1)

本発明の実施の形態1に係る半導体集積回路装置について図1を用いて説明する。半導体集積回路装置1aは、システムLSIであって、記憶部であるメモリ3a、3bが基板11上に混載された構成である。

【0021】

さらに、基板11上には外部電源をもとに内部電源を生成して、メモリ3a、3bに供給する内部電源発生回路5a、5b、5c、5dと、内部電源発生回路5a、5b、5c、5dで発生された内部電源電圧の外部への出力を制御するスイッチ制御部4a、4bが設置されている。スイッチ制御部4a、4bの動作によって、通常動作時には、内部電源電圧は外部に出力されないが、メモリ検査時には、内部電源電圧が外部に出力され、モニターされる。

【0022】

メモリ3aには2つの内部電源発生回路5a、5bで発生した内部電源電圧が供給され、メモリ3bには2つの内部電源発生回路5c、5dで発生した内部電源電圧が供給されている。また、スイッチ制御部4aは内部電源発生回路5a、

5 bで発生した内部電源電圧のモニターパッド8への出力を制御し、スイッチ制御部4 bは内部電源発生回路5 c、5 dで発生した内部電源電圧のモニターパッド8への出力を制御する。

【0023】

基板11の外縁部は外部パッド領域2であり、各種複数のパッドが設置されている。複数のパッドには、制御用パッド7および、モニターパッド8が含まれている。制御用パッド7は、制御信号VSEを外部から受け、スイッチ制御部4 a、4 bに伝達する。制御信号VSEは、内部電源電圧のモニターパッド8への出力を制御する信号である。

【0024】

スイッチ制御部4 aは、制御回路10 aと、制御回路10 aによって動作を制御されているNチャンネルトランジスタ6 a、およびPチャンネルトランジスタ16 aを備え、スイッチ制御部4 bは、制御回路10 bと、制御回路10 bによって動作が制御されているNチャンネルトランジスタ6 bおよびPチャンネルトランジスタ16 bを備えている。このように、1つのメモリに複数の内部電源発生回路を使用する場合は、スイッチとなるNチャンネルトランジスタまたはPチャンネルトランジスタを、使用する内部電源発生回路の数に合わせて複数使用することで、内部電源発生回路の出力の制御を容易に行なうことができる。また、内部電源電圧が昇圧電源電圧であるかマイナス電源電圧であるかに応じて各々、NチャンネルトランジスタまたはPチャンネルトランジスタを用いればよい。

【0025】

制御回路10 aには、内部電源発生回路5 a、5 bのどちらの内部電源電圧を外部に出力するかを指示する選択信号CE1が、外部からメモリ3 aを介して入力されている。内部電源発生回路5 aの内部電源電圧VBBは、Nチャンネルトランジスタ6 aを介してモニターパッド8に伝達される。また、内部電源発生回路5 bの内部電源電圧VPPは、Pチャンネルトランジスタ16 aを介してモニターパッド8に伝達される。

【0026】

同様に、制御回路10 bには、メモリ3 bから内部電源発生回路5 c、5 dの

どちらの内部電源電圧を外部に出力するかを指示する選択信号CE2が、外部からメモリ3aを介して入力されている。内部電源発生回路5cの内部電源電圧VBBは、Nチャンネルトランジスタ6bを介してモニターパッド8に伝達される。また、内部電源発生回路5dの内部電源電圧VPPは、Pチャンネルトランジスタ16bを介してモニターパッド8に伝達される。

【0027】

図2に、スイッチ制御部4aの構成の一例を示す。制御回路10aはNAND回路9とNOR回路19とで構成されている。選択信号CE1および制御信号VSEが、NAND回路9に入力され、Nチャンネルトランジスタ6aのゲートにスイッチ制御信号BBS1が入力される。また、選択信号CE1の反転信号と、制御信号VSEとがNOR回路19に入力され、Pチャンネルトランジスタ16aのゲートにスイッチ制御信号PPS1が入力される。このような回路構造により、選択信号CE1と制御信号VSEに応じて、Nチャンネルトランジスタ6aとPチャンネルトランジスタ16aを制御し、内部電源電圧VBBおよびVPPのモニターパッド8への伝達を制御することができる。

【0028】

共通ノードVOLSには、スイッチ制御部4aで選択された各内部電源発生回路5a、5bのいずれかの内部電源電圧が伝達される。メモリ検査時に、各内部電源発生回路5a、5bのいずれかの内部電源電圧が、共通ノード電圧VOLSに伝達され、モニターパッド8でモニターすることができる。

【0029】

なお、スイッチ制御部4bも上記と同様の構成を有する。

【0030】

このように構成された半導体集積回路装置1aの動作について図3に示すタイミングチャートを用いて説明する。図3において、サイクルAよりも以前は、通常動作モードであり、メモリ3a、3bに入力される信号TESTが接地電圧VSSである。選択信号CE1、CE2も非活性状態である。図2の回路構成で、選択信号CE1、CE2が非活性であれば、スイッチ制御信号BBS1およびBBS2、PPS1およびPPS2によって、すべてのNチャンネルおよびPチャ

ンネルトランジスタはカットオフされている。したがって、内部電源発生回路 5 a、5 b、5 c、5 d は、モニターパッド 8 と接続されておらず、共通ノード V O L S は H i g h - Z (ハイインピーダンス) 状態となっている。

【0031】

サイクル A で信号 T E S T が外部電源電圧 V D D となり、メモリ検査モードとなる。さらに、選択信号 C E 1 のみが活性化され、制御用パッド 7 から入力されている制御信号 V S E は V P P である。それにより、スイッチ制御信号 P P S 1 によって制御されるトランジスタのみオンになる。つまり、内部電源発生回路 5 b の内部電源電圧 V P P のみが、共通ノード V O L S に伝達されモニターパッド 8 でモニターされる。

【0032】

次に、サイクル B で通常動作モードに戻り、信号 T E S T が V S S となり、共通ノード V O L S は H i g h - Z 状態となる。

【0033】

その後、サイクル C で信号 T E S T が再度 V D D となり、メモリ検査モードとなる。選択信号 C E 2 のみが活性化され、制御信号 V S E は V B B である。それにより、スイッチ制御信号 B B S 2 によって制御されるトランジスタのみオンになる。つまり、内部電源発生回路 5 c の内部電源電圧 V B B のみが、共通ノード V O L S に伝達されモニターパッド 8 でモニターされる。

【0034】

最後に、サイクル D で通常動作モードに戻り、同様に共通ノード V O L S は H i g h - Z 状態となる。

【0035】

同様にして、選択信号 C E 1、C E 2 と制御信号 V S E の組み合わせによって、各スイッチ制御部 4 a、4 b の N チャンネルトランジスタ 6 a、6 b および P チャンネルトランジスタ 16 a、16 b をそれぞれ一つずつオンさせたり、全て同時にオフさせることができる。したがって、各内部電源発生回路 5 a、5 b、5 c、5 d の内部電源電圧を選択的にモニターすることができる。それにより、外部パッド数を大幅に削減することができ、半導体集積回路装置の小面積化、低

コスト化が実現できる。

【0036】

また、内部電源を用いずに、外部電源をメモリ 3 a、3 b に強制印加させる場合は、スイッチ制御部 4 a、4 b によって、モニターパッド 8 と所望のメモリ 3 a、3 b の内部電源発生回路 5 a、5 b、5 c、5 d とが接続されるようにする。この状態で、モニターパッド 8 より、内部電源発生回路 5 a、5 b、5 c、5 d に外部電源電圧が強制印加される。なお、この場合には、内部電源発生回路 5 a、5 b、5 c、5 d は非活性状態とされていて、電源電圧を発生させていない。内部電源発生回路 5 a、5 b、5 c、5 d を非活性状態とすることで、強制印加された外部電源と内部で生成された内部電源が衝突することを防ぎ、異常電流や貫通電流の発生を防止することができる。

【0037】

内部電源発生回路 5 a、5 b、5 c、5 d を非活性とする制御に、例えば、制御信号 V S E および選択信号 C E 1、C E 2 等の既存の信号を用いることとすれば、内部電源発生回路 5 a、5 b、5 c、5 d を選択的に非活性にすることが可能であり、外部パッドをさらに削減することができ、小面積化を図ることができる。

【0038】

以上のように、実施の形態 1 の半導体集積回路装置 1 a によれば、複数個のメモリ 3 a、3 b が同一チップ上に混載されていても、共通の制御用パッド 7 およびモニターパッド 8 のみを用いてメモリ検査時の各内部電源発生回路 5 a、5 b、5 c、5 d の内部電源のモニター、もしくは外部電源のメモリ 3 a、3 b への強制印加を行なうことができる。それにより、外部パッドの数を減らすことができ、半導体集積回路装置を小面積化することができる。

【0039】

また、スイッチ制御部 4 a、4 b は、内部電源のモニターや外部電源の強制印加時だけでなく、通常動作時も半導体集積回路装置 1 a に備えられているため、通常動作時とメモリ検査時で内部電源電圧の特性が変わることがない。したがって、正確に内部電源を評価することができる。

【0040】**(実施の形態2)**

本発明の実施の形態2に係る半導体集積回路装置について、図4を用いて説明する。実施の形態2の半導体集積回路装置1bが実施の形態1と相違する点は、各内部電源発生回路5a、5b、5c、5dからの出力の内、同一の電位のものは同一のモニターパッドに接続されるようにしたことである。

【0041】

半導体集積回路装置1bは、外部パッドとして制御用パッド7以外に、2つのモニターパッド8a、8bを備えている。実施の形態1では、各内部電源発生回路5a、5b、5c、5dで発生された内部電源電圧は、VBBであってもVPPであっても同一のモニターパッド8に伝達されていたが、実施の形態2の半導体集積回路装置1bにおいては、内部電源電圧のがVPPであればモニターパッド8aに、VBBであればモニターパッド8bに伝達される。

【0042】

具体的には、内部電源発生回路5aの内部電源電圧VBBは、内部電源発生回路5cの内部電源電圧VBBに等しい。そこで、スイッチ制御部4a、4bを介して、共通ノードVBBsに伝達され、どちらもモニターパッド8bでモニターされる。また、内部電源発生回路5bの内部電源電圧VPPは、内部電源発生回路5dの内部電源電圧VPPに等しい。そこで、スイッチ制御部4a、4bを介して、共通ノードVPPsに伝達され、どちらもモニターパッド8aでモニターされる。

【0043】

実施の形態2の半導体集積回路装置1bにおけるメモリ検査時の内部電源のモニターや強制印加等におけるスイッチ制御動作は、実施の形態1と同様なので説明は省略する。

【0044】

実施の形態2の半導体集積回路装置1bにおいて、メモリ3aが、内部電源発生回路5a、5bから供給される内部電源は、VPPとVBBの2種類であり、これらは、異なるモニターパッド8a、8bでモニターされるため、同時にモニ

ターすることが可能である。また、メモリ 3 b に関しても同様である。したがって、上述のように、電位が同一の内部電源は共通のモニターパッドに伝達されるようにすることで、メモリ 3 a、3 b ごとの内部電源のモニターが容易に行なえる。

【0045】

また、実施の形態 2 の半導体集積回路装置 1 b は、1 つのモニターパッドに繋がる配線やトランジスタの負荷を低減することができる。

【0046】

(実施の形態 3)

本発明の実施の形態 3 に係る半導体集積回路装置について図 5 を用いて説明する。実施の形態 3 の半導体集積回路装置 1 c は、基板 11 上にメモリ 3 a、3 b が設置されたシステム L S I である。基板 11 上には、さらに、メモリ 3 a、3 b ごとに設置された内部電源発生回路 5 e、5 f と、内部電源電圧の外部への出力を制御するスイッチ制御部 4 c、4 d と、ドライバ制御部 14 a、14 b が形成されている。また、基板 11 の外縁部の外部パッド領域 2 には、制御用パッド 7 と、強制印加用パッド 15 と、モニターパッド 8 c と、制御用パッド 17 の外部パッドが形成されている。

【0047】

内部電源発生回路 5 e、5 f は、スイッチ制御部 4 c、4 d を介して、モニターパッド 8 c と接続されている。スイッチ制御部 4 c、4 d は各々、P チャンネルトランジスタ 16 c、16 d と、それを制御する制御回路 10 c、10 d で構成されている。ドライバ制御部 14 a、14 b は各々、強制印加用パッド 15 から入力される外部電源電圧である強制印加電圧 V_{PP2} を、制御用パッド 17 から入力される印加制御信号 V_{KE} に基づいて内部電源発生回路 5 e、5 f に供給する。

【0048】

ドライバ制御部 14 a は、例えば、図 6 に示す回路構造を有する。差動アンプドライバ構造の回路と、それを制御するドライバ制御回路 12 a としての AND 回路とからなる。差動アンプドライバ構造としているため、供給する外部電源電

圧の省電力化が可能である。AND回路は、選択信号CE1と印加制御信号VKEに基づいて、差動アンプを動作させる。なお、ドライバ制御部14bも上記と同様の構成を有する。

【0049】

以上のように構成された半導体集積回路装置の動作について説明する。まず、メモリ検査において、内部電源電圧をモニターする場合は、印加制御信号VKEをオフとすることで、ドライバ制御部14a、14bをオフとなり、強制印加されない。スイッチ制御信号VSEと選択信号CE1、CE2を用いて、制御回路10c、10dを制御し、所望の内部電源発生回路の出力に接続されているPチャンネルトランジスタをオンさせる。それにより、モニターパッド8cから所望の内部電源をモニターすることができる。なお、メモリ検査時には、各スイッチ制御部4c、4dのPチャンネルトランジスタのオン、オフに同期して、各ドライバ制御部14a、14bがオフ、オンになるようにしておいてもよい。

【0050】

次に、外部から電源を強制印加する場合について説明する。印加制御信号VKEと選択信号CE1、CE2を用いて、所望のドライバ制御部14a、14bをオンさせ、内部電源発生回路5e、5fに所望とする外部電源電圧を供給する。このとき、スイッチ制御部4c、4dはモニター用にオンしていても、またオフしていてもかまわない。

【0051】

また、通常動作時は、内部電源発生回路5e、5fの出力がモニターパッド8cに伝達されないように、スイッチ制御部4c、4bはオフにしておく。さらに、外部から強制印加電源が印加されないように、ドライバ制御部14a、14bもオフにしておく。

【0052】

このように、実施の形態3の半導体集積回路装置1cによれば、内部電源発生回路5e、5fに電圧を供給するためのドライバ制御部14a、14bを備えることにより、内部電源電圧を出力するモニターパッドとは別の外部パッドである強制印加用パッドを用い、外部電源電圧を入力することができるので、各外部パ

ッドの負荷が軽くなり、電流供給能力が大きく、省電力化が実現できる。

【0053】

なお、実施の形態1または実施の形態2の半導体集積回路装置に、実施の形態3の半導体装置と同様に、ドライバ回路を備えてもよい。

【0054】

(実施の形態4)

本発明の実施の形態4に係る半導体集積回路装置について図7を用いて説明する。実施の形態4の半導体集積回路装置1dは、基板11上にメモリ3a、3bが設置されたシステムLSIである。基板11上には、メモリ3a、3b以外に、メモリ3a、3bごとに設置された内部電源発生回路5e、5fと、内部電源の外部への出力を制御するスイッチ制御部4e、4fと、電圧レベル変換回路18a、18bが形成されている。また、基板11の外縁部の外部パッド領域2には、制御用パッド7と、モニターパッド8dを含む外部パッドが形成されている。

【0055】

内部電源発生回路5e、5fは、電圧レベル変換回路18a、18bとスイッチ制御部4e、4fを介して、制御用パッド7と接続されている。スイッチ制御部4e、4fは、Nチャンネルトランジスタ6cと、Nチャンネルトランジスタ6cを制御する制御回路10e、10fとで構成されている。

【0056】

電圧レベル変換回路18aは、例えば、図8に示す回路構造である。内部電源発生回路5eによって発生される内部電源電圧VBBが、基板電圧を制御するマイナスレベルの電位である。内部電源電圧VBBは電圧レベル変換回路18aによって、外部電源VDDと内部電源電圧VBBとの中間の電圧値VBB2に変換される。メモリ検査時には、変換された電圧VBB2が、スイッチ制御部4eを介してモニターパッド8へ伝達される。なお、電圧レベル変換回路18bも上記と同様の構成を有する。

【0057】

電圧レベル変換回路18a、18bを備えていることにより、特に内部電源電

圧が外部電源より昇圧されている場合やマイナス電源の場合に、電圧レベルを変換して最適な電圧にすることができる。そのため、次段のスイッチ制御部 4 e、4 f の回路構成を複雑にする必要がない。また、基板 11 がツインウエル構成の場合のように、メモリ 3 の内部でマイナス電源電圧を使用しなければならない場合などに、電圧レベルをプラス電源電圧に変換することができるため、スイッチ制御部 4 e、4 f の回路構成を容易にできる。

【0058】

なお、実施の形態 1～4 は、メモリに用いるための内部電源を発生する内部電源発生回路を例に挙げて説明したが、メモリに限るものではなく、内部電源発生回路を備えている半導体集積回路ならば本発明を適用することができる。

また、実施の形態 1～4 で具体的に示した回路構成は、あくまでも一例であり、本発明はこれらの具体例のみに限定されるものではない。

【0059】

【発明の効果】

本発明の半導体集積回路装置によれば、1 チップ上に複数の内部電源回路を備えるメモリが混載されている構成のシステム L S I であっても、外部パッドの数を増加させる必要なく、メモリ検査や外部電源の強制印加を行なうことができる。それにより、低コスト化、小面積化が可能な、半導体集積回路装置を実現することができる。

【図面の簡単な説明】

【図 1】 本発明の実施の形態 1 に係る半導体集積回路装置の構成を示すブロック図

【図 2】 本発明の実施の形態 1 に係る制御回路の回路図

【図 3】 本発明の実施の形態 1 に係る半導体集積回路装置における各信号のタイミングチャート

【図 4】 本発明の実施の形態 2 に係る半導体集積回路装置の構成を示すブロック図

【図 5】 本発明の実施の形態 3 に係る半導体集積回路装置の構成を示すブロック図

【図 6】本発明の実施の形態 3 に係るドライバ制御部の回路図

【図 7】本発明の実施の形態 4 に係る半導体集積回路装置の構成を示すブロック図

【図 8】本発明の実施の形態 4 に係る電圧レベル変換回路の回路図

【図 9】従来の半導体集積回路装置の構成を示すブロック図

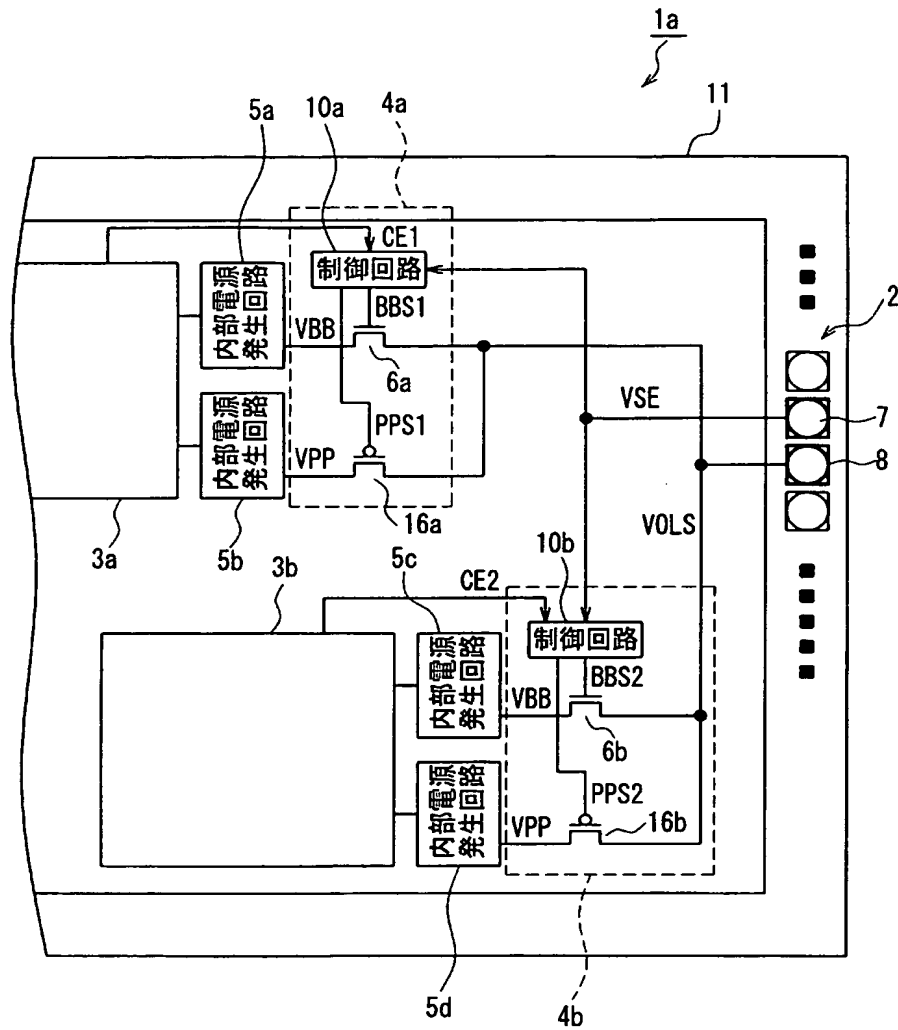
【符号の説明】

- 1 a、1 b、1 c、1 d 半導体集積回路装置
- 2 外部パッド領域
- 3 a、3 b、103 メモリ
- 4 a、4 b、4 c、4 d、4 e、4 f スイッチ制御部
- 5 a、5 b、5 c、5 d、5 e、5 f、105 内部電源発生回路
- 6 a、6 b、6 c、6 d Nチャンネルトランジスタ
- 7 制御用パッド
- 8、8 a、8 b、8 c、8 d、108 モニターパッド
- 9 NAND回路
- 10 a、10 b、10 c、10 d、10 e、10 f 制御回路
- 11、111 基板
- 12 a、12 b ドライバ制御回路
- 14 a、14 b ドライバ制御部
- 15 強制印加用パッド
- 16 a、16 b、16 c、16 d Pチャンネルトランジスタ
- 17 制御用パッド
- 18 a、18 b 電圧レベル変換回路
- 19 NOR回路

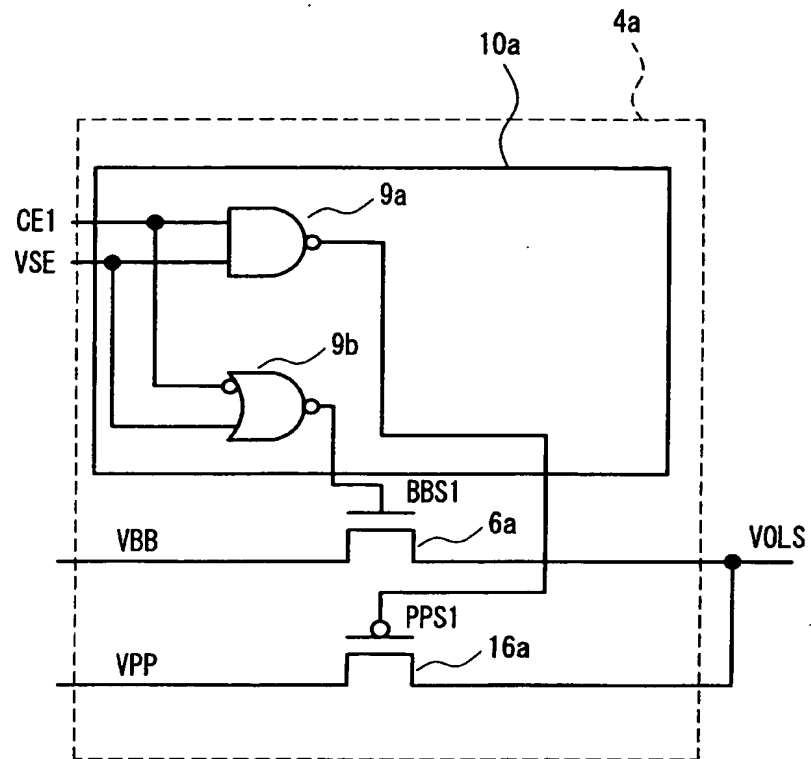
【書類名】

図面

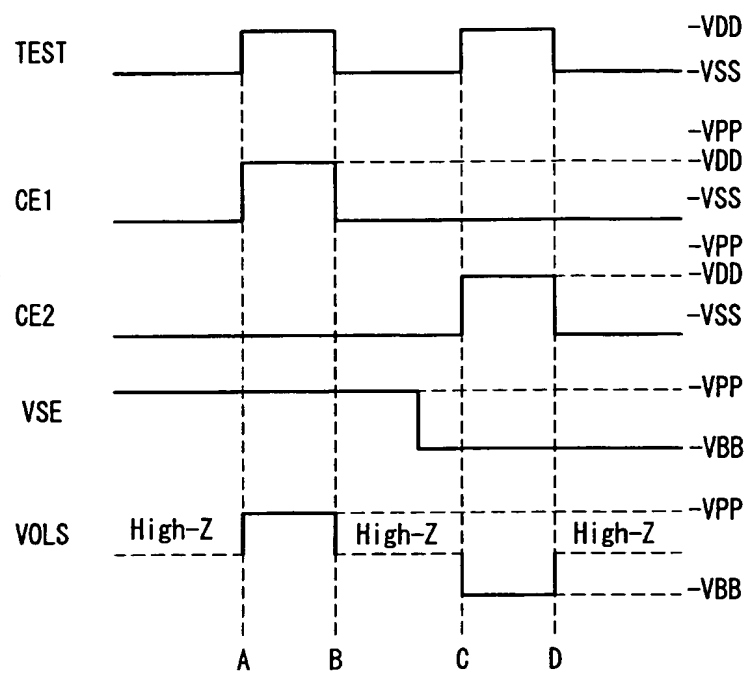
【図 1】



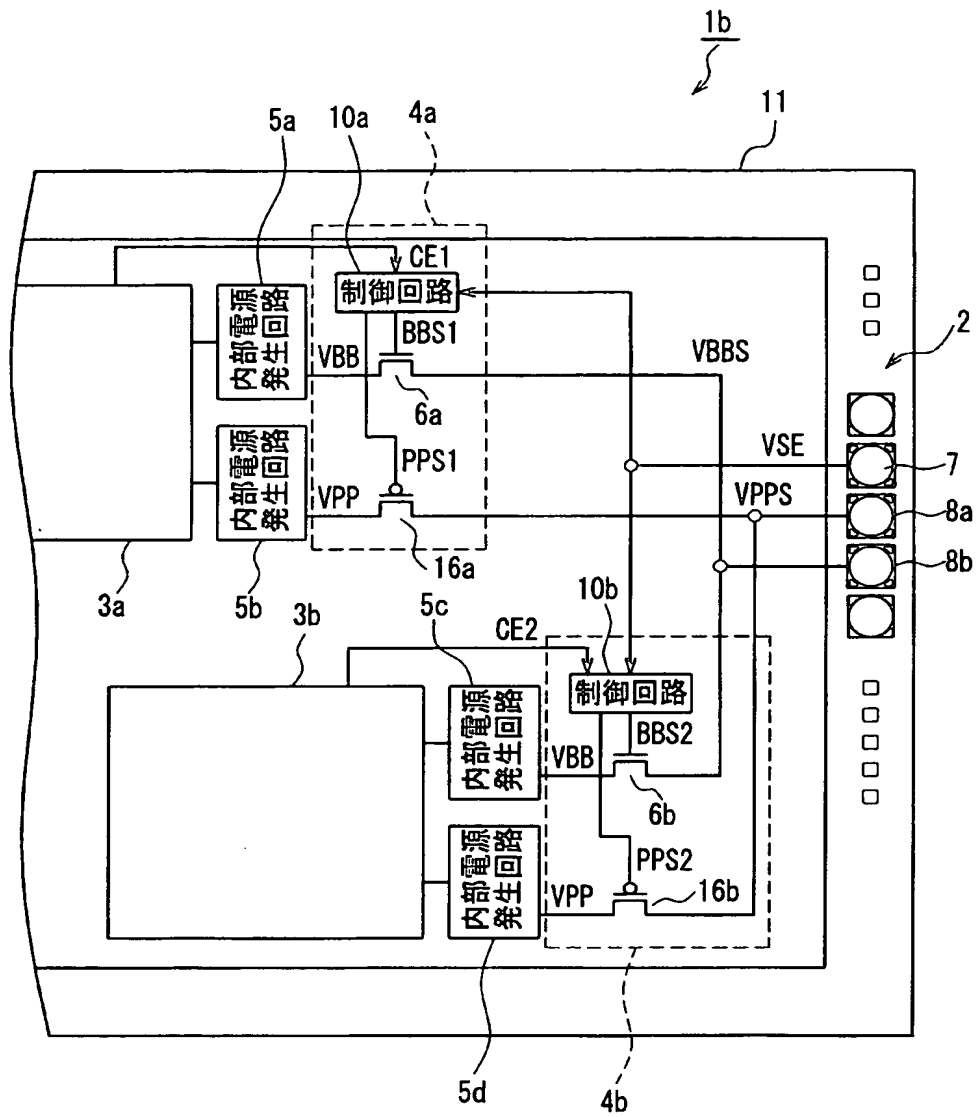
【図 2】



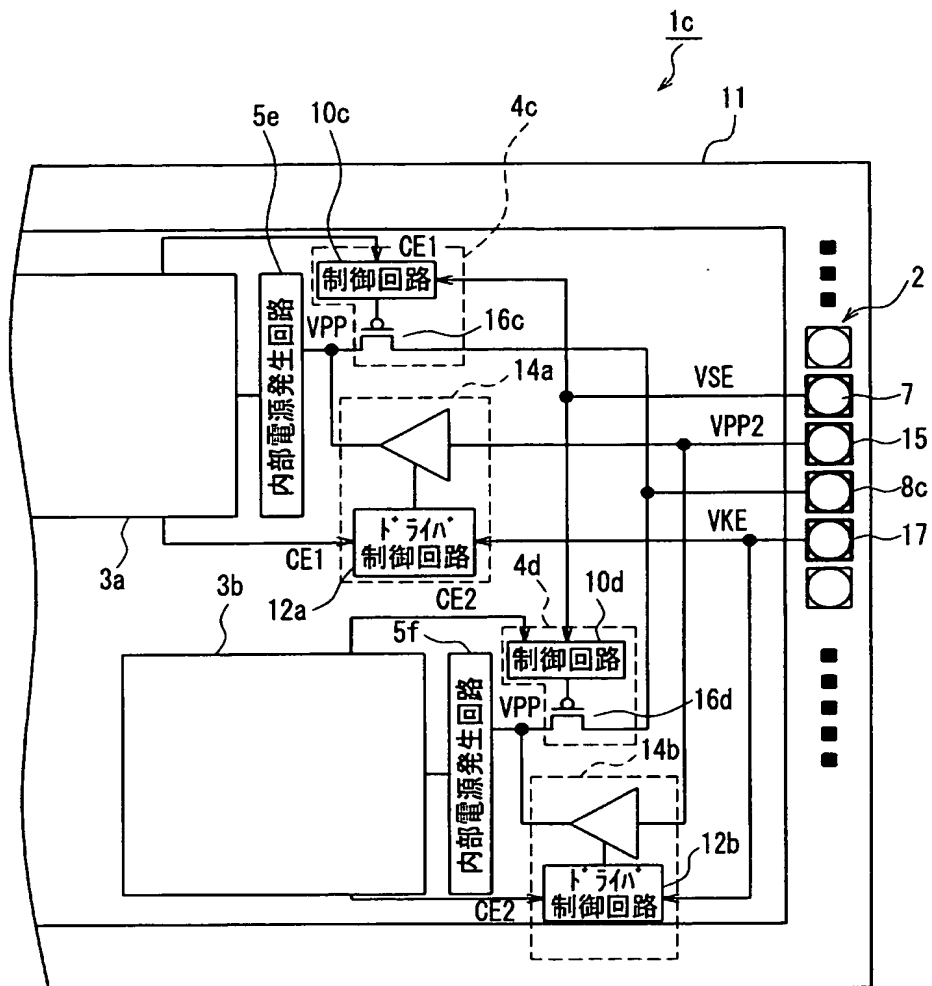
【図 3】



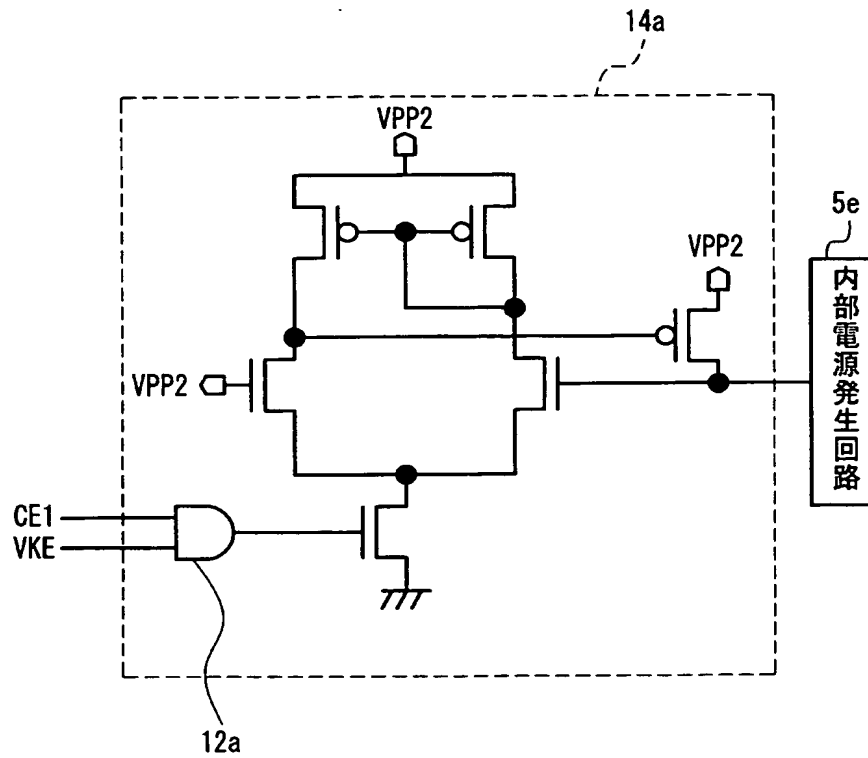
【図 4】



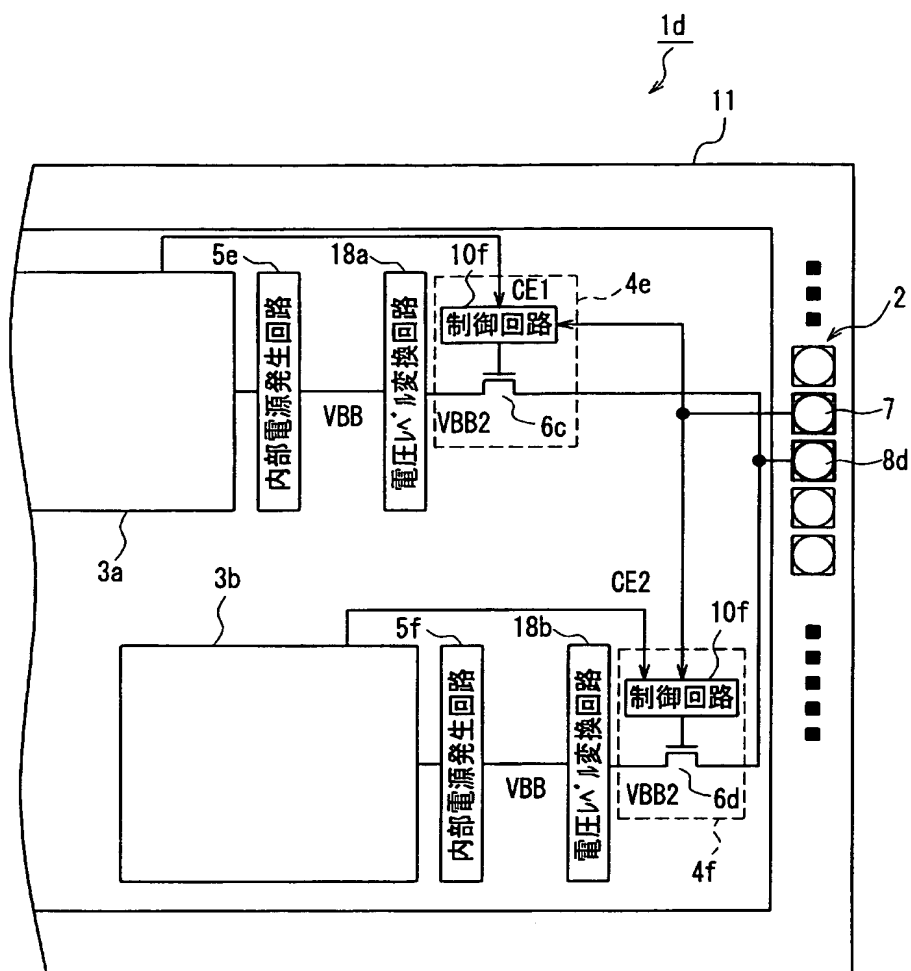
【図 5】



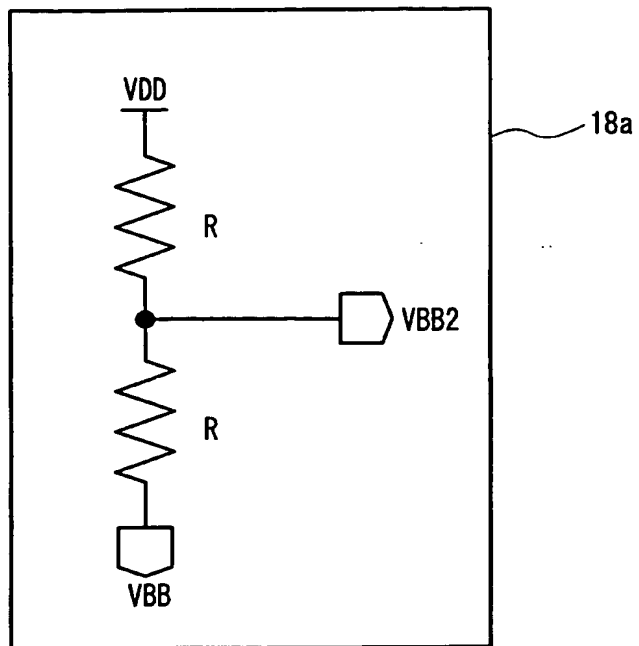
【図 6】



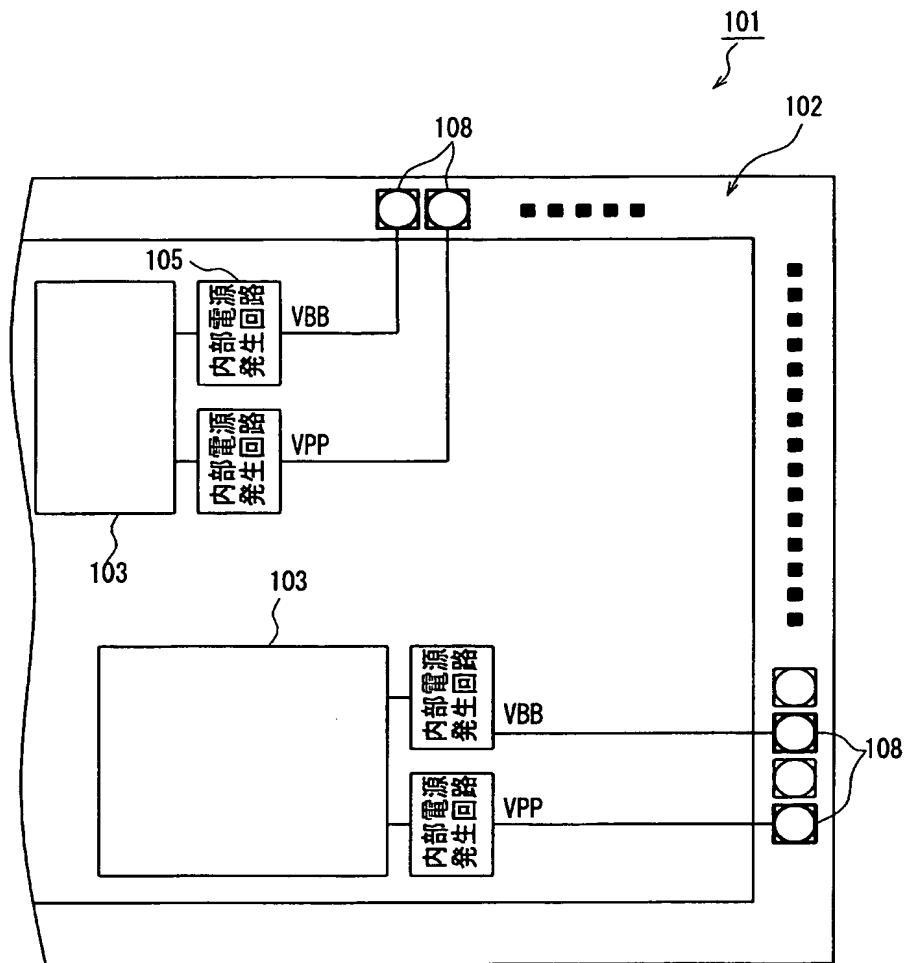
【圖 7】



【図 8】



【図 9】



【書類名】 要約書**【要約】**

【課題】 内部電源発生回路の数が増えても、パッド数が増大することなく、低コスト、小面積を実現できる半導体集積回路装置を提供する。

【解決手段】 同一チップ上に複数の内部電源発生回路 5 a、5 b、5 c、5 d が配置された半導体集積回路装置 1 a であって、各内部電源発生回路 5 a、5 b、5 c、5 d は、それぞれスイッチ 4 a、4 b を介して、少なくとも一部が共通のモニター用パッド 8 に接続されていて、スイッチ 4 a、4 b により、各内部電源発生回路 5 a、5 b、5 c、5 d とモニター用パッド 8 とを選択的に接続することが可能である。

【選択図】 図 1

特願 2 0 0 2 - 3 5 1 6 8 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1 . 変 更 年 月 日

1 9 9 0 年 8 月 2 8 日

[変 更 理 由]

新 規 登 録

住 所

大 阪 府 門 真 市 大 字 門 真 1 0 0 6 番 地

氏 名

松 下 電 器 産 業 株 式 会 社